

MODELAREA ȘI IMPLEMENTAREA ARHITECTURILOR DE CALCUL DISTRIBUIT ÎN BAZA DISPOZITIVELOR RECONFIGURABILE

**Autori: Victor ABABII, Viorica SUDACEVSCHI,
Dmitri CALUGARI, Elena TUMANOV**

Universitatea Tehnică a Moldovei

Abstract: În lucrare este prezentată o metodă de modelare și implementare a arhitecturilor de calcul distribuit în baza dispozitivelor reconfigurabile FPGA. Modelarea funcțională a sistemului este efectuată în baza modelelor de rețele Petri care ulterior sunt transformate în cod de configurare AHDL pentru circuitele FPGA. În lucrare au fost elaborate arhitectura sistemului și schema funcțională a modulelor pentru procesarea distribuită a datelor. Verificarea sistemului s-a efectuat în baza Kit-ului de dezvoltare Altera DE0 Board.

Cuvinte cheie: Modelarea sistemelor, Rețele Petri, Calcul distribuit, Dispozitive reconfigurabile, AHDL, FPGA, Altera DE0 Board.

1. Introducere

Aplicarea arhitecturilor de calcul distribuit este una din metodele principale pentru utilizarea eficientă a resurselor de calcul. Avantajele oferite de calculul distribuit sunt nediscutabile mai ales în cazurile când acesta este aplicat pentru procese distribuite în spațiu [1, 2].

O clasă importantă de aplicații elaborate pentru arhitecturile de calcul distribuit o prezintă sistemele de comandă și control incorporate pentru care sunt elaborate o gamă foarte largă de dispozitive de diferită complexitate și funcționalitate [3]. În paralel cu aceste sisteme s-au dezvoltat și sistemele control incorporate reconfigurabile care asigură optimizarea arhitecturii, reducerea consumului de energie și sporirea performanțelor [4].

În lucrare s-a abordat problema modelării și implementării arhitecturilor de calcul distribuit în baza dispozitivelor reconfigurabile FPGA care să asigure modelarea și evaluarea performanțelor, configurarea modulelor de procesare a datelor în timp real utilizând modele de rețele Petri HardWare [7].

2. Modelarea sistemelor de calcul distribuit

Modelarea și evaluarea performanțelor ale sistemului de calcul distribuit se efectuează în baza rețelelor Petri [5,6]. O rețea Petri prezintă un cvintuplu, $PN = (P, T, F, W, M_0)$ în care:

$P = (p_1, p_2, \dots, p_m)$ este mulțimea pozițiilor sau locațiilor (finită);

$T = (t_1, t_2, \dots, t_n)$ este mulțimea tranzițiilor (finită);

$F \subseteq (P \times T) \cup (T \times P)$ este mulțimea arcelor;

$W : F \rightarrow \{1, 2, 3, \dots\}$ este funcția de pondere a arcelor;

$M_0 : P \rightarrow \{0, 1, 2, \dots\}$ este funcția de marcaj inițial.

O descriere mai detaliată poate fi consultată în lucrările [5,6].

Trecerea de la modelul de rețea Petri la modelul de rețea Petri Hardware este efectuată în baza algoritmului descris în detalii în lucrarea [7].

Algoritmul include următorii pași de bază:

1. Elaborarea, validarea și evaluarea performanțelor ale sistemului de calcul distribuit în baza modelului de rețea Petri;
2. Translatarea modelului de rețea Petri în rețea Petri Hardware;
3. Compilarea codului AHDL din modelul de rețea Petri Hardware;
4. Verificarea funcțională și obținerea codului de configurare FPGA efectuate în baza pachetului Quartus-II;
5. Configurarea circuitelor FPGA.

3. Arhitectura sistemului de calcul distribuit

Arhitectura sistemului de calcul distribuit este prezentată în Figura 1, unde avem un calculator **PC PNC** cu funcții de elaborare a modelelor de rețele Petri pentru descrierea formală a funcționalității sistemului de calcul distribuit, evaluarea performanțelor și compilarea codului de configurare a mulțimii de module de procesare a datelor **DPS**. Comunicarea dintre **PC PNC** și **DPS** este realizată de **WiFi Router**.

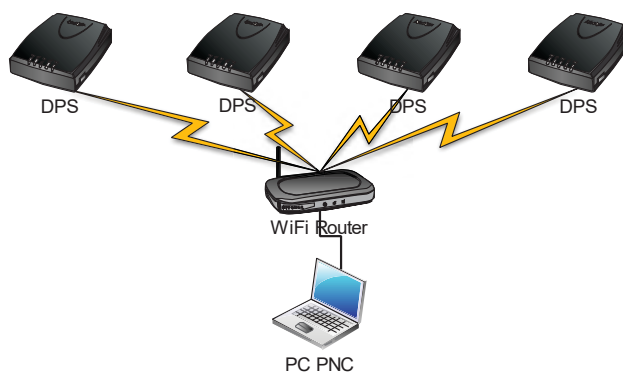


Fig. 1. Arhitectura sistemului de calcul distribuit.

4. Schema funcțională a modulelor pentru procesarea distribuită a datelor

Schema funcțională a modulelor pentru procesarea distribuită a datelor este prezentată în Figura 2, unde avem circuitul FPGA (Cyclone III/IV [8]) destinat configurării, memorie SPI Flash (S25FLxxx) pentru stocarea codului de configurare și dispozitivul pentru comunicare WiFi ESP-12E.

Funcționalitatea sistemului de calcul distribuit s-a verificat în baza Kit-ului de dezvoltare **Altera DE0 Board** [8] elaborat în baza circuitului FPGA **Altera Cyclone III 3C16** [9] și modulului de comunicare **WiFi ESP-12E** [10].

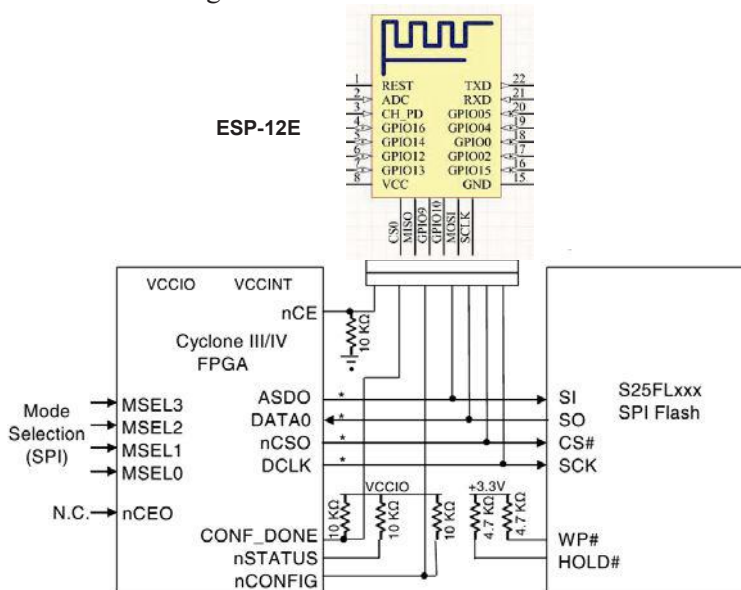


Fig. 2. Schema funcțională a modulelor pentru procesarea distribuită a datelor.

Mențiuni

Modelarea și implementarea rezultatelor științifice s-a efectuat în baza suportului tehnic oferit de catedra Calculatoare a Universității Tehnice a Moldovei.

Bibliografie

1. Grigoraș D., *Modele de calcul distribuit*. Ed. Specturm, Iași, 1999.
2. Muhl, G., Fiege L, Pietzuch P. *Distributed event based systems*. Springer-Verlag Berlin Heidelberg, Germania, 2006.
3. Amir Aminifar. *Analysis, Design, and Optimization of Embedded Control Systems*. Printed by LiU Tryck 2016, 181 p. ISBN: 978-91-7685-826-4.
4. Mohamed Khalgiu, Hans-Michael Hanisch. *Reconfigurable Embedded Control Systems: Application for Flexibility and Agility*. Information Science Reference, USA, 2011, 619 p. ISBN: 978-1-60960-086-0.
5. Păstravanu O. *Sisteme cu evenimente discrete – Tehnici calitative bazate pe formalismul rețelelor Petri*. Ed. Matrix Rom, București, 1997.
6. Păstrăvanu O., Matcovschi M., Mahulea C., *Aplicații ale rețelelor Petri în studierea sistemelor cu evenimente discrete*. – Iași: Editura Gheorghe Asachi, 2002, 256 p., ISBN: 973-8292-86-7.
7. Sudacevschi V. *Sinteza structurilor de procesare concurentă a datelor*, Teză de doctor în tehnică, UTM, Chișinău, 2009, 165 p.
8. ftp://ftp.altera.com/up/pub/Altera_Material/Boards/DE0/DE0_User_Manual.pdf (accesat 23.11.2016).
9. <https://www.altera.com/products/fpga/> (accesat 23.11.2016).
10. <http://www.kloppenborg.net/images/blog/esp8266/esp8266-esp12e-specs.pdf> (accesat 23.11.2016).